

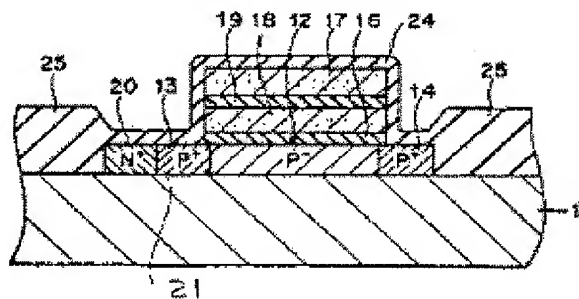
SEMICONDUCTOR DEVICE

Patent number: JP61256674
Publication date: 1986-11-14
Inventor: HASHIMOTO SEIJI
Applicant: TEXAS INSTRUMENTS JAPAN
Classification:
- international: **H01L21/8247; H01L29/78; H01L29/788; H01L29/792; H01L21/70; H01L29/66; (IPC1-7): H01L29/78**
- european:
Application number: JP19850098780 19850509
Priority number(s): JP19850098780 19850509

Report a data error here

Abstract of JP61256674

PURPOSE:To completely set source and drain currents to zero by providing means for implanting carrier to a floating gate to enlarge a depletion layer to enhance a gate voltage by implanting the carrier, thereby enlarging the depletion layer. **CONSTITUTION:**In a P-channel type depletion Tr, a junction 21 of a P<+> type source region 13 and an N<+> type injector 20 is applied with a reverse voltage to produce a junction breakdown, and hot carriers generated thereby are implanted to a floating gate 18. Since a hole having a positive potential is implanted to the gate 18, a gate voltage shifts to a positive direction. As a result, the gate voltage is raised without providing a booster of the gate voltage to enable complete depletion of a substrate, thereby performing a depletion Tr capable of completely breaking a current by setting a substrate current to zero.



Family list**3** family member for: **JP61256674**

Derived from 1 application

1 SEMICONDUCTOR DEVICE**Inventor:** HASHIMOTO SEIJI**Applicant:** TEXAS INSTRUMENTS JAPAN**EC:****IPC:** H01L21/8247; H01L29/78; H01L29/788
(+4)**Publication info:** **JP2062075C C** - 1996-06-10**JP7089572B B** - 1995-09-27**JP61256674 A** - 1986-11-14Data supplied from the **esp@cenet** database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-256674

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)11月14日

H 01 L 29/78

7514-5F

審査請求 未請求 発明の数 2 (全8頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭60-98780

⑰ 出 願 昭60(1985)5月9日

⑱ 発 明 者 橋 本 征 史 茨城県稲敷郡美浦村木原2355 日本テキサス・インスツルメンツ株式会社内

⑲ 出 願 人 日本テキサス・インスツルメンツ株式会社 東京都港区北青山3丁目6番12号 青山富士ビル

⑳ 代 理 人 弁理士 逢 坂 宏

明 細 書

発明の名称

半導体装置

特許請求の範囲

1. 半導体層に設けられたソース領域及びドレイン領域と、少なくともこれら両領域間のチャネル領域上に設けられたフローティングゲートと、このフローティングゲート上に設けられたコントロールゲートとによってディープデプレッション型絶縁ゲート電界効果トランジスタが構成され、前記チャネル領域でのソース・ドレイン電流を制御する空乏層を拡大するように前記フローティングゲートにキャリアを注入するキャリア注入手段が設けられている半導体装置。

2. 半導体基体の一主面側に第1の絶縁ゲート電界効果トランジスタが形成され、このトランジスタのゲートと、このゲート上に設けられたフローティングゲートと、このフローティングゲート上に形成された半導体層に設けられたソース領域及

びドレイン領域とによってディープデプレッション型の第2の絶縁ゲート電界効果トランジスタが構成されており、この第2の絶縁ゲート電界効果トランジスタのチャネル領域でのソース・ドレイン電流を制御する空乏層を拡大するように前記フローティングゲートにキャリアを注入するキャリア注入手段が設けられている半導体装置。

発明の詳細な説明

イ. 産業上の利用分野

本発明は半導体装置に関し、特にディープデプレッション型絶縁ゲート電界効果トランジスタ(以下、ディープデプレッションT_rと称する。)を具備する半導体装置に関するものである。

ロ. 従来技術

MOSFET (Metal Oxide Semiconductor Field Effect Transistor) は、例えばPチャネル型の場合に基板として通常N型基板を使用し、N型基板にP⁺型のソース及びドレイン領域を形成している。しかし、SOS (Silicon on Sapphire) 構造のように基板自体を非常に

薄くできる場合、例えば第10図に示す如く、サブフィア基体1上に成長させたP型単結晶シリコン層2を基板として使用することができる。第10図に示すSOS構造のMOSFETはP⁻型基板2にP⁺型のソース領域3及びドレイン領域4を有し、これら両領域間のチャネル領域5上にゲート酸化膜6を介してゲート電極7を設けたものである。これは、いわゆるディープデプレッションTrと称され、S. R. Hofstein によって詳しい解析がなされている〔アイ・イー・イー・イー・トランザクションズ・オブ・エレクトロン・デバイス (IEEE TRANSACTIONS OF ELECTRON DEVICES), VOL. ED-13, NO. 12, DECEMBER 1966〕。

このP型ディープデプレッションTrでは一般に、ソース電圧を V_{DD} とする。但し、基板電位は、基板を流れる電流によって決定されるので、チャネル方向に勾配をもつが最大でも V_{DD} である。また、ドレイン電圧を0Vと仮定すると、ドレイン領域近傍での基板電位は0Vとなる。ゲート電圧は0Vと仮定した場合には、ゲート電圧による基

板内での空乏層は発生せず、このトランジスタは抵抗として動作することになる。ところが、ゲート電圧を徐々に増大させてゆくと、基板内ではまずドレイン領域近傍に空乏層が生じ、これによってチャネル領域の電流通路が決められ、ソース・ドレイン電流が減少する。この場合、例えばゲート電圧を5Vに上げても、ソース領域近傍では基板電位は5V($=V_{DD}$)となっているために、そこでは空乏層が伸びないことになる。

本発明者は、上記のようにソース領域近傍に空乏化されない部分が残る状態で、電流が完全に遮断される場合があるかどうかを考察した結果、次の如き結論に到達した。即ち、空乏層がソース領域にまで達する以前にチャネル領域を完全に塞いで電流を遮断(ピンチオフ)したとすれば、空乏層の端部がソース領域に面している位置での電位は5Vとなっているはずである。ところが、この電位が5Vであると、ゲート電圧も5Vであるから同位置ではゲートからの電界の影響はなく、空乏化しなくなる。このため、ソース領域に面した

部分での空乏層端はドレイン領域側へ後退してゆくことになる。この後退は、基板電流が流れ出して基板電位が低下し出すまで続く。即ち、ゲート電位がソース電位と同じか或いはそれ以下の値しかとらない場合には、必ず飽和電流が流れるのである。

従って、P型ディープデプレッションTrでは、電流を完全に遮断するためには、ゲート電圧をソース電圧以上に上げることが必要となる。このためには、ゲート電圧を昇圧する昇圧回路を設けるとか、或いはソース、ゲート及びドレイン用として三電源(例えば、0V、 $+V_{DD}$ 、 $-V_{DD}$)にするといった手段を講じなければならない。これでは、通常のデプレッション型MOSFETを使用する場合と何ら変わりはないので、効果的な対策が望まれる。

ハ、発明の目的

本発明の目的は、特別な昇圧(又は降圧)回路を設けることなしに、しかも外部からの供給電源を二電源(例えば0Vと V_{DD})のみとするだけで、

ディープデプレッションTrの電流を完全に遮断することのできる半導体装置を提供することにある。

ニ、発明の構成

即ち、本発明は、半導体層(特に、絶縁基体上に形成された単結晶半導体層)に設けられたソース領域及びドレイン領域と、少なくともこれら両領域間のチャネル領域上に設けられたフローティングゲートと、このフローティングゲート上に設けられたコントロールゲートとによってディープデプレッションTrが構成され、前記チャネル領域でのソース・ドレイン電流を制御する空乏層を拡大するように前記フローティングゲートにキャリアを注入するキャリア注入手段が設けられている半導体装置に係るものである。

本発明はまた、第2の発明として、半導体基体の一主面側に第1の絶縁ゲート電界効果トランジスタが形成され、このトランジスタのゲートと、このゲート上に設けられたフローティングゲートと、このフローティングゲート上に形成された半

導体層に設けられたソース領域及びドレイン領域とによってディープデプレッション型の第2の絶縁ゲート電界効果トランジスタ（ディープデプレッションTr）が構成されており、この第2の絶縁ゲート電界効果トランジスタのチャネル領域でのソース・ドレイン電流を制御する空乏層を拡大するように前記フローティングゲートにキャリアを注入するキャリア注入手段が設けられている半導体装置も提供されるものである。

ホ、実施例

以下、本発明の実施例を第1図～第9図について詳細に説明する。

第1図～第3図は、本発明をSOS構造のPチャネル型ディープデプレッションTrに適用した第1の実施例を示すものである。

まず、この実施例による半導体装置の構成を説明すると、絶縁性基体、例えばサファイア基体11の一面に成長させた不純物濃度 $10^{14} \sim 10^{15}$ 個/cm³のP⁻型単結晶シリコン層12に、不純物濃度 $10^{21} \sim 10^{22}$ 個/cm³のP⁺型のソース領域13及び

ドレイン領域14が形成されている。そして、ソース領域13に隣接して、不純物濃度 $10^{21} \sim 10^{22}$ 個/cm³のN⁺型のキャリア注入領域（以下、インジェクタと称する。）20が形成されている。また、チャネル領域15及びソース領域13、更にはソース領域13ーインジェクタ20間のPN接合21上を覆う如くに、ゲート酸化膜16、フローティングゲート18が設けられ、このフローティングゲート18上には酸化膜19を介してコントロールゲート17が設けられている。なお、ドレイン領域14及びインジェクタ20には夫々、電極22及び23が被着され、所定の電位が与えられる。ソース領域13にも電極（図示省略）が被着され、所定の電位が与えられる。また、図中の24はゲート表面の絶縁膜（酸化膜）であり、25はフィールド酸化膜である。

このように構成されたPチャネル型ディープデプレッションTrは、フローティングゲート18とコントロールゲート17とを有するいわゆるEPR-OM (erasable programmable read only memory) と同様の構造からなっているが、次の如

くに全く異なる動作を行なわせる。

通常の（一般にはNチャネル型）EPROMと同様にフローティングゲートを有するPチャネル型PROMを作製した場合、書き込みは、フローティングゲートに負のポテンシャルをもつホールを注入することによって行なう。このホールの注入は、ドレイン領域近傍でのアバランシェブレークダウンを利用したものである。これに対し、第1図に例示した本発明に基づくPチャネル型ディープデプレッションTrでは、EPROMのようにフローティングゲートにホールを注入するが、このホールの注入はドレイン領域からではなく、P⁺型ソース領域13とN⁺型インジェクタ20との接合21に逆方向電圧を印加してジャンクションブレークダウンを生ぜしめ、これにより発生したホットキャリアをフローティングゲート18へ注入することによって行なう。この場合、注入されるホールは正のポテンシャルをもっているが、こうしたホールの注入方法については、既にDIFMOS (Dual Injection Floating Gate MOS)

でも用いられており、その動作等については既に確認され、説明がなされている（特開昭53-108247号、同54-66088号公報等）。

このように、正のポテンシャルをもつホールがフローティングゲート18に注入されるから、ゲート電圧が正の方向へシフトする。例えば、コントロールゲート17に5Vを加えたとき、基板表面からみたゲート電圧は7Vにまで上昇することになる。この結果、既述した如きゲート電圧の昇圧回路を設けることなしにゲート電圧を上昇させ、基板を完全に空乏化することが可能となり、基板電流がゼロとなるように電流を完全に遮断できるディープデプレッションTrを実現することができる。しかも、外部電源は0VとV_{DD}のみでよく、追加を要しない。

次に、本実施例の半導体装置の製造方法を第3図で説明する。

常法に従って、まず第3A図のようにサファイア基体11の一面にP⁻型単結晶シリコン層12をエピタキシャル成長させ、次いで第3B図のよう

に、LOCOS (Local Oxidation of Silicon) 法によってフィールド酸化膜25を選択的に成長させ、素子領域を形成する。

次いで第3C図のように、公知のイオン注入技術によって、シリコン層12中にP⁺型ソース領域13及びドレイン領域14を形成し、更にN⁺型インジェクタ20を形成する。この際、ソース及びドレイン領域用として例えばボロンイオン26が打込まれ、またインジェクタ用として例えばリンイオン27が打込まれる。

次いで第3D図のように、常法によって、シリコン層12の表面にゲート酸化膜16を形成し、更に全面に不純物ドーパドポリシリコン層18、SiO₂膜19、不純物ドーパドポリシリコン層17をCVD (Chemical Vapour Deposition) 法によって順次形成する。

更に第3E図のように、ポリシリコン層17、SiO₂膜19、ポリシリコン層18及びゲート酸化膜16を所定パターンにエッチングし、しかる後にCVD法でSiO₂膜24を被着する。そして、各

領域のコンタクトホールをフォトリソグラフィで形成し、アルミニウム等の電極材料の全面蒸着及びパターニングによって第1図のように各電極（及び配線）を形成する。

第4図～第9図は本発明を三次元ICに適用した第2の実施例を示すものである。

この実施例による半導体装置は第4図及び第5図に示すように、基本的には、P⁺型シリコン基板31の一主面側に形成されたN⁺型半導体領域33及び34を夫々ソース領域及びドレイン領域としかつゲート酸化膜36上にゲート電極37を有する通常のNチャネル型MOSFETと、上述した第1の実施例と同様にP⁺型シリコン層42にP⁺型ソース領域43、ドレイン領域44及びN⁺型インジェクタ50を有しかつシリコン層42下にフローティングゲート48とコントロールゲート37を有するPチャネル型ディープデプレッションTrとが積層せしめられたものである。これら両トランジスタは、ゲート37を共通に有し、ドレイン領域34-44間が配線52により電気的に接続され、これによって第

6図に示す如きインバータ回路を構成することができる。なお、図中の47、57はソース電極、53はインジェクタ電極である。また、49、54は第1図の19、24に相当する酸化膜であり、56も同様の酸化膜であり、55はシリコンの表面酸化膜である。

なお、上記の各領域43、44、50の不純物濃度は上述した13、14、20と同じであってよい。

上記の如くに構成した三次元ICによれば、上述した第1の実施例で述べたと同様に、Pチャネル型ディープデプレッションTrのフローティングゲート48に対してソース領域43-インジェクタ50間のPN接合51に印加する逆方向電圧によるアバランシェブレークダウンで正ポテンシャルのホールを注入し、チャネル領域45を完全にオフとすることができる。このフローティングゲートへのホール注入は、上述した第1図～第3図の例も同様であるが、このトランジスタの製造段階で製造者側で行なえば、その後には必要のないものである。従って、使用するに際し、予め製造者側の方でV_{IN}をV_{DD}と同じにしておく（従って、使用

時にはV_{IN}は不要となる）ことができ、EPROMのように使用者側でゲートの蓄積電荷を消去したり、書き込んだりすることを考慮する必要がない。このため、データリテンション時間を十分長くするように設計することができる。即ち、EPROM等では、データリテンション時間を長くすると書き込み時間も長くなるので、必要以上にリテンション時間を長くは設定できないが本実施例による素子では上記の理由からリテンション時間を十分に長くしておいても問題はない。

また、本実施例による三次元IC構造は半導体素子を基板上に積層したものであるから、二次元ICに比べて集積度が向上し、チップサイズも小さくできる。但し、一般に、三次元ICを実現する上での大きな障害としては2層目の基板の製作方法であるとされている。第4図において、2層目の基板としてのシリコン層42を単結晶シリコンとして形成する上で、一旦成長させたポリシリコン層をレーザーアニールで再結晶化させるのが一つの方法であるが、効果的な方法として、完全な

単結晶シリコンを作るのではなく、いわば擬単結晶化させた基板を作成する方法がある。この場合、ポリシリコン層を水素雰囲気中でアニールすることによって、ポリ状シリコンの島を水素原子で埋めるようにする。これは、製造コストを非常に安くできる方法ではあるが、純粋な単結晶シリコンに比べると、PN接合でのリーク電流が多くなる傾向がある。

しかし、本例による第4図の構造では、上記方法を適用して基板42を形成した場合、これを二層目のディープデプレッションTrに用いているので、リーク電流は非常に少なくなる。即ち、本例のディープデプレッションTrにおいては、PN接合はソース領域43とインジェクタ50との間に唯一つ（第4図中の51）存在するが、このインジェクタ電位（ V_{inj} ）は動作時にはソース電位（ V_{so} ）としてもよいから、PN接合51ではリーク電流が生じることはない。また、このトランジスタの電流遮断モードにおいては、チャネル領域45は全域に亘って空乏化するため、シリコン層42

の結晶構造が部分的にくずれていても、PN接合面での場合に比べてその影響が少ない。従って、本例による構造で、リーク電流が大幅に少なくなり、高性能の三次元ICを実現できる。

また、三次元ICでは、基板をフローティングにしているので、キンク現象と称されるドレイン電流の歪みが生じることが知られている。しかし、本例のディープデプレッションTrによれば、基板42はソース電位又はドレイン電位或いはこれらの中間電位となり、フローティング状態とはならないので、キンク現象の如き不安定な現象は生じない。

次に、本例による三次元ICの製造方法を第7図で説明する。

まず第7A図のように、P⁺型シリコン基板31の一主面に熱酸化法によってゲート酸化膜36を成長させ、この上にCVD法によって不純物ドーパドポリシリコン層37、SiO₂膜49、不純物ドーパドポリシリコン層48を順次形成する。

次いで第7B図のように、各層48、49、37、36

を所定パターンにエッチングしてゲート領域を形成し、更にこのゲートをマスクとするセルフアラインメント技術によって不純物拡散等でN⁺型ソース領域33及びドレイン領域34を形成する。

次いで第7C図のように、CVD法によって酸化膜54を形成し、更にこの上にP⁺型ポリシリコン層42を成長させる。このポリシリコン層42は、上述した如くに高温熱工程をすべて完了した上で水素雰囲気中でアニールするのがよい。

次いで第7D図のように、既述したと同様にして各不純物のイオン注入を行ない、P⁺型ソース領域43、ドレイン領域44、N⁺型インジェクタ50を形成し、しかる後にシリコン層42をフォトリソエッチングでパターンニングする。そして、第4図のように、全面に形成した酸化膜56にコンタクトホールをあけ、配線材料を蒸着後にパターンニングして各配線を形成する。

第8図及び第9図は、三次元ICの別の実施例を示すものであるが、第4図の例と共通する部分は共通符号を付して説明を省略することができる。

この例による半導体装置もインバータ回路を構成するが、第4図の例と異なる点は、ソース領域43に隣接したN⁺型インジェクタを設けず、不純物ドーパドポリシリコンからなるキャリア注入用の第3のゲート60を設けていることである。このゲート60には電極53を介してインジェクタ電圧（ V_{inj} ）が加えられ、これによってゲート60から酸化膜49を通して正のポテンシャルのホールがフローティングゲート48に注入される。

以上、本発明を例示したが、上述の実施例は本発明の技術的思想に基いて更に変形が可能である。

例えば、上述した第1図及び第4図の例では、PN接合21、51の部分はフローティングゲートの端部よりその内方に位置すること（具体的には、第1図の例で言えば、PN接合21がゲート18により覆われていること）がキャリア注入にとって必要である。但し、上記PN接合の位置はゲートのうちのどの位置にあっても差支えない。また、上述した例の如きキャリア注入手段を設けず、ディープデプレッションTrのソース領域自体をインジ

エクタとして用い、 V_{inj} を与えることによってソース領域からキャリアを注入することもできる。また、上述の例では、Pチャネル型ディープデプレッション T_r を述べたが、各領域の導電型を交換し、Nチャネル型ディープデプレッション T_r を構成することができる。このNチャネル型では、Pチャネル型に比べて極性等を一部変更するだけでよい。なお、本発明は上述の如き三次元ICのみならず、他の回路一般に適用可能である。

へ. 発明の作用効果

本発明は上述した如く、フローティングゲートに対し、空乏層を拡大するようにキャリアを注入する手段を設けたディープデプレッション T_r としているので、このキャリアの注入によってゲート電圧が実際の値よりも高くなり、空乏層を拡大してソース・ドレイン電流を完全にゼロにすることができる。従って、ゲート電圧の昇圧回路を設けたり、外部電源を増やす必要がない。

また、このディープデプレッション T_r を第1の絶縁ゲート電界効果トランジスタ上に設けてい

るので、いわゆる三次元的なICを構成して高集積化が実現できると同時に、動作の安定な素子とすることができる。

図面の簡単な説明

第1図～第9図は本発明の実施例を示すものであって、

第1図は第1の実施例によるSOS構造のPチャネル型ディープデプレッション T_r の断面図、

第2図は同 T_r の平面図、

第3A図、第3B図、第3C図、第3D図、第3E図は同 T_r の製造方法を工程順に示す断面図、

第4図は第2の実施例による三次元ICの断面図、

第5図は同ICの平面図、

第6図は同ICの等価回路図、

第7A図、第7B図、第7C図、第7D図は同ICの製造方法を工程順に示す各断面図、

第8図は第3の実施例による三次元ICの断面図、

第9図は同ICの等価回路図

である。

第10図は従来技術を適用したPチャネル型ディープデプレッション T_r の断面図である。

なお、図面に示す符号において、

11.....サファイア基体(絶縁基体)

12、42.....P⁻型シリコン層

13、33、43.....ソース領域

14、34、44.....ドレイン領域

15、45.....チャネル領域

17、37.....コントロールゲート

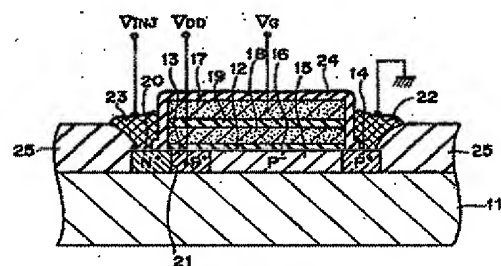
18、48.....フローティングゲート

20、50、60.....インジェクタ

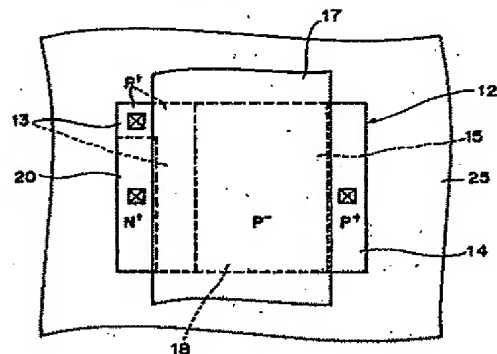
である。

代理人 弁理士 達 坂 宏

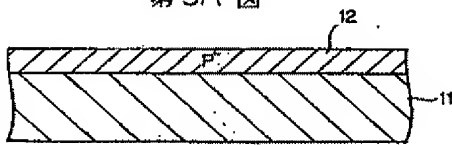
第 1 図



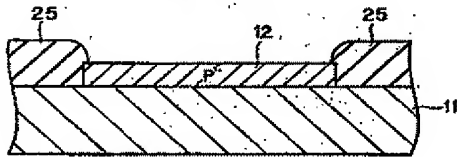
第 2 図



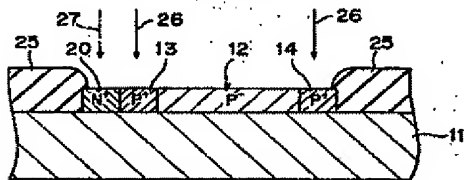
第3A圖



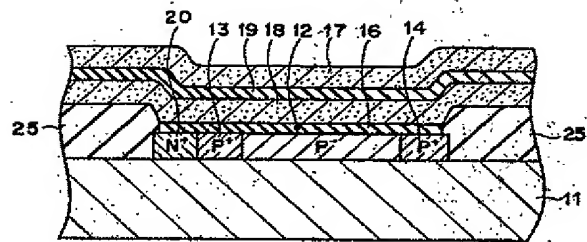
第3B圖



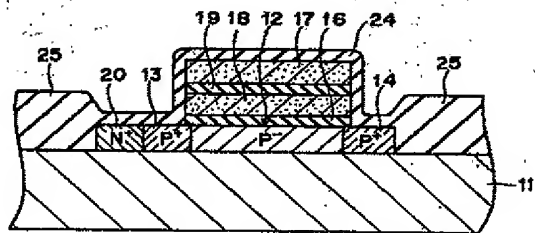
第3C圖



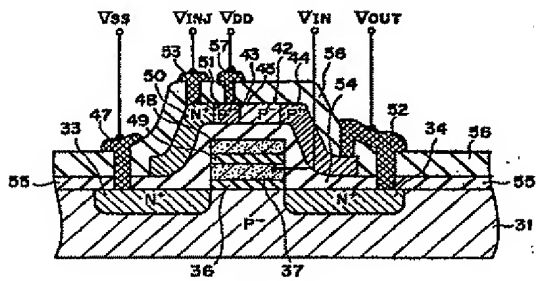
第3D圖



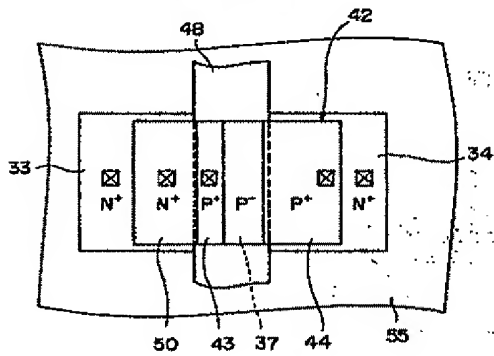
第3E圖



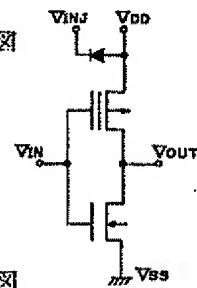
第4圖



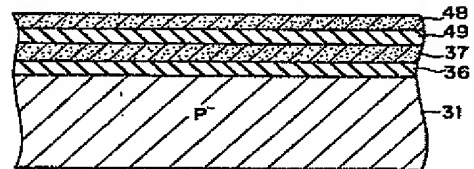
第5圖



第6圖



第7A圖



第7B圖

